Un multiplexor tiene una salida. Cuantas entradas tiene?

A. 1

B. 2

C. 4

D. 8

E. A, B, C

F. B, C, D

G. Todas las anteriores

H. Ninguna de las anteriores

Un multiplexor tiene 5 entradas de selección y 1 salida, cuantas posibles entradas puede tener.

A. 1

B. 2

C. 4

D. 8

E. 16

F. 32

G. Todas las anteriores

H. Ninguna de las anteriores

El codificador a usar es semejante a https://bit.ly/31CpiJX. Si D5 = 1 y D6 = 1. Cual es la salida Q[2:0]?.

A. 000

B. 111

C. 110

D. 001

E. 101

F. 011

G. Todas las anteriores

H. Ninguna de las anteriores

Un decodificador de prioridad tiene 1 salida de 3 bit. Cuantas entradas tiene?

A. 1

B. 2

C. 4

D. 8

E. 12

F. Todas las anteriores

G. Ninguna de las anteriores

El generador de paridad genera Po = 1, si la trama es 00001001. Esta correcta la generacion?

A. Cierto

B. Falso

Un registro de corrimiento logico hace rotacion hacia la izquierda 1 sola vez. Si la informacion de entrada es 0000. Cual sera la salida?

A. 0000

B. 1000

C. 0001

D. 1111

E. Todas las anteriores

F. Ninguna de las anteriores

Podemos con un multiplexor mimificar una compuerta logica basica como una AND?

A. Cierto

B. Falso

Un DEMUX tiene una entrada Din y un selector de 4 posiciones a 1010. Que salida tendra la senal Din?

A. Y0

B. Y8

C. Y9

D. Y10

E. Y11

F. Todas las anteriores

G. Ninguna de las anteriores

Un codificador de exceso menos 6 tiene una entrada de 11110111. Cual sera su salida en BCD8421.

A. 11111100

B. 11111110

C. 11111111

D. 11111011

E. 11111101

F. Todas las anteriores

G. Ninguna de las anteriores

Un registro de corrimiento arimetico de 4 bits tiene un carry in de D3 y un carry out de D3, este se corre 3 posiciones hacia la izquierda, el estado inicial es D3D2D1D0. Cual es su salida?

A. D0D1D2D3

B. D3D0D0D0

C. D1D2D3D3

D. D0D3D3D3

E. D3D3D3D0

F. Todas las anteriores

G. Ninguna de las anteriores